

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP11311805  
Publication date: 1999-11-09  
Inventor(s): OTANI HISASHI; NAKAZAWA MISAKO  
Applicant(s):: SEMICONDUCTOR ENERGY LAB CO LTD  
Requested Patent: ☒ JP11311805  
Application Number: JP19980119055 19980428  
Priority Number(s):  
IPC Classification: G02F1/136 ; H01L29/786 ; H01L21/336  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To secure sufficient auxiliary capacitance when a forming very fine active matrix display device which has small pixel area.

**SOLUTION:** On a flattened film 103, a 1st transparent conductive film 104 and an insulating film 105 for a capacitor are stacked and an opening part 106 is formed. An insulating film 107 is formed thereupon and the 2nd transparent conductive film is patterned to form a pixel electrode 108. At the time, the auxiliary capacitor 109 is formed sandwiching the insulating film 105 between the 1st transparent conductive film 104 and pixel electrode 108.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-311805

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/136  
H 0 1 L 29/786  
21/336

識別記号

5 0 0

F I

G 0 2 F 1/136  
H 0 1 L 29/78

5 0 0

6 1 2 D

6 1 9 B

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号

特願平10-119055

(22) 出願日

平成10年(1998)4月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 仲沢 美佐子

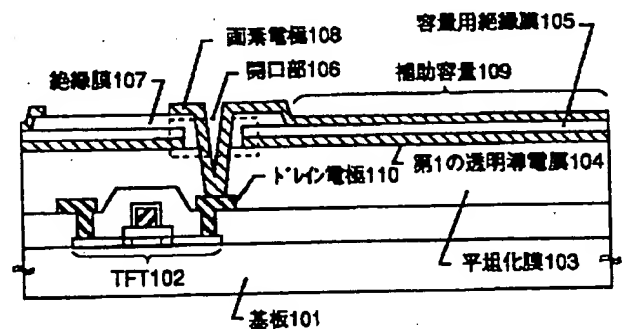
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 二組の透明導電膜を用いた補助容量を有する電気光学装置を改善し、高品質な半導体装置を提供する。

【解決手段】 平坦化膜103の上に第1透明導電膜104と容量用絶縁膜105とを積層形成し、開口部106を形成する。その上に絶縁膜107を形成し、第2透明導電膜をパターンングすることにより画素電極108を形成する。この時、第1透明導電膜104と画素電極108とで容量用絶縁膜105を挟み込んだ構造からなる補助容量109が形成される。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数の画素と該複数の画素の各々に設けられた補助容量とを有する半導体装置において、前記補助容量は第 1 透明導電膜、容量用絶縁膜及び第 2 透明導電膜を順次積層した構造を有し、前記第 1 透明導電膜と前記容量用絶縁膜とは同一のパターン形状を有していることを特徴とする半導体装置。

【請求項 2】マトリクス状に配置された複数の画素と該複数の画素の各々に設けられた補助容量とを有する半導体装置において、前記補助容量は第 1 透明導電膜、容量用絶縁膜及び第 2 透明導電膜を順次積層した構造を有し、前記第 1 透明導電膜と前記容量用絶縁膜とは同一形状の開口部を有していることを特徴とする半導体装置。

【請求項 3】マトリクス状に配置された複数の画素と該複数の画素の各々に設けられた補助容量とを有する半導体装置において、前記補助容量は第 1 透明導電膜、容量用絶縁膜及び第 2 透明導電膜を順次積層した構造を有し、前記第 1 透明導電膜と前記容量用絶縁膜とに形成された同一形状の開口部は、パターン化された樹脂材料で覆われていることを特徴とする半導体装置。

【請求項 4】請求項 3 において、前記樹脂材料は遮光性を有する樹脂材料若しくは遮光性を有する樹脂材料と透明樹脂材料との積層構造で構成されていることを特徴とする半導体装置。

【請求項 5】請求項 3 において、前記樹脂材料の一部は前記第 2 の透明導電膜をマスクとして除去されていることを特徴とする半導体装置。

【請求項 6】請求項 1 乃至請求項 3 において、前記容量用絶縁膜の膜厚は前記第 1 透明導電膜よりも薄いことを特徴とする半導体装置。

【請求項 7】TFT を覆う第 1 層間絶縁膜上に第 1 透明導電膜及び容量用絶縁膜とを積層形成する工程と、前記第 1 透明導電膜及び前記容量用絶縁膜をエッチングし、当該第 1 透明導電膜及び容量用絶縁膜の各々に同一形状の開口部を形成する工程と、前記開口部を覆って樹脂材料からなる第 2 層間絶縁膜を形成する工程と、後に補助容量となる部分及び前記開口部に形成された前記第 2 層間絶縁膜を除去する工程と、前記開口部で露出した前記第 1 層間絶縁膜をエッチングしてコンタクトホールを形成する工程と、前記 TFT と接続する第 2 透明導電膜を形成する工程と、前記第 2 透明導電膜をパターンニングして画素電極を形成する工程と、を有し、前記第 1 透明導電膜、前記容量用絶縁膜及び前記画素電極で前記補助容量が形成されることを特徴とする半導体装置の作製方法。

【請求項 8】TFT を覆う第 1 層間絶縁膜上に第 1 透明導電膜及び容量用絶縁膜とを積層形成する工程と、前記第 1 透明導電膜及び前記容量用絶縁膜を順次エッチングし、前記開口部を形成する工程と、前記開口部を覆

って樹脂材料からなる第 2 層間絶縁膜を形成する工程と、後に補助容量となる部分及び前記開口部に形成された前記第 2 層間絶縁膜を除去する工程と、前記開口部で露出した前記第 1 層間絶縁膜をエッチングしてコンタクトホールを形成する工程と、前記 TFT と接続する第 2 透明導電膜を形成する工程と、前記第 2 透明導電膜をパターンニングして画素電極を形成する工程と、を有し、前記第 1 透明導電膜、前記容量用絶縁膜及び前記画素電極で前記補助容量が形成されることを特徴とする半導体装置の作製方法。

【請求項 9】請求項 7 又は請求項 8 において、前記第 2 層間絶縁膜は遮光性を有する樹脂材料若しくは遮光性を有する樹脂材料と透明樹脂材料とを積層して形成されることを特徴とする半導体装置の作製方法。

【請求項 10】請求項 7 又は請求項 8 において、前記第 1 層間絶縁膜にコンタクトホールを形成する工程とは、前記第 2 層間絶縁膜のエッチングと同一のマスクを用いて行われることを特徴とする半導体装置の作製方法。

【請求項 11】請求項 7 又は請求項 8 において、前記画素電極をマスクとして前記第 2 層間絶縁膜をエッチングする工程を含むことを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本願発明は液晶表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、上記電気光学装置および電子機器をも半導体装置の範疇に含むものとする。

## 【0002】

【従来の技術】近年、ポリシリコン膜を利用した薄膜トランジスタ（以下、TFT と呼ぶ）で回路構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】この様なアクティブマトリクス型液晶表示装置では、各画素毎に形成された画素電極と液晶を介して対向側に形成された対向電極とで容量（コンデンサ）を形成しているが、これだけでは容量が小さいため、通常はそれとは別に補助容量（Cs と呼ばれる）を形成して補っている。

【0004】補助容量の構造（Cs 構造）は様々であるが、透過型液晶表示装置における開口率を考慮して二層の透明導電膜で絶縁膜を挟み込んだ構造が報告されている（特開平 8-43854 号公報、特開平 8-306926 号公報）。

【0005】上記公報に記載された Cs 構造は、補助容量を形成する二層の透明導電膜と容量用絶縁膜とを有するが、前記開口部を覆

電膜とすることで、開口率を損ねることなく大きな容量を確保することができるとしている。

【0006】上記公報では層間絶縁膜が補助容量の誘電体を兼ねているが、層間絶縁膜としての機能を果たすにはある程度の膜厚が要求される。即ち、図2に示す様に透明導電膜でなる容量電極201を覆う様に層間絶縁膜202を形成するので端部203においてカバレッジ不良を起こさない程度の膜厚は最低限保証されなければならない。

【0007】また、透明導電膜は金属膜よりも高抵抗となるため容量電極201の膜厚は電位分布を考えても100~200nm程度が必要となる。従って、容量電極201を完全に被覆するには少なくとも200nm以上の膜厚を有する絶縁膜が必要となる。ところが、容量の大きさは誘電体の膜厚に反比例するため、膜厚を厚くすることは大容量を確保する上で望ましいものではない。

【0008】以上の様に、二組の透明導電膜を絶縁膜で挟みこむことで開口率を損ねることなく補助容量の形成可能な面積を拡大することは可能となったが、未だに多くの問題点を有しているのが現状である。

【0009】

【発明が解決しようとする課題】本願発明は上記問題点を解決するための技術であり、二組の透明導電膜を用いた補助容量を有する電気光学装置のさらなる改善を課題とする。そして、より高品質な半導体装置を提供することを課題とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の構成は、マトリクス状に配置された複数の画素と該複数の画素の各々に設けられた補助容量とを有する半導体装置において、前記補助容量は第1透明導電膜、容量用絶縁膜及び第2透明導電膜を順次積層した構造を有し、前記第1透明導電膜と前記容量用絶縁膜とは同一のパターン形状を有していることを特徴とする。

【0011】前記第1透明導電膜と前記容量用絶縁膜とは両方の膜をエッチングできるエッチャント（またはエッチングガス）を用いた場合に同一のマスクで順次エッチングすることができる。その場合、前記第1透明導電膜と前記容量用絶縁膜とは同一形状の開口部を有している。また、その開口部はパターニングによってパターン化された樹脂材料で覆われている。

【0012】この時、前記樹脂材料は遮光性を有する樹脂材料（黒色樹脂材料など）若しくは遮光性を有する樹脂材料と透明樹脂材料（アクリル、ポリイミドなど）との積層構造で構成することが可能である。

【0013】また、他の発明の構成は、TFTを覆う第1層間絶縁膜上に第1透明導電膜及び容量用絶縁膜とを積層形成する工程と、前記第1透明導電膜及び前記容量用絶縁膜をエッチングし、当該第1透明導電膜及び容量用絶縁膜の各々に同一形状の開口部を形成する工程と、

前記開口部を覆って樹脂材料からなる第2層間絶縁膜を形成する工程と、後に補助容量となる部分及び前記開口部に形成された前記第2層間絶縁膜を除去する工程と、前記開口部に露出した前記第1層間絶縁膜をエッチングしてコンタクトホールを形成する工程と、前記TFTと接続する第2透明導電膜を形成する工程と、前記第2透明導電膜をパターニングして画素電極を形成する工程と、を有し、前記第1透明導電膜、前記容量用絶縁膜及び前記画素電極で前記補助容量が形成されることを特徴とする。

【0014】上記構成において、前記第1透明導電膜及び前記容量用絶縁膜のエッチングを順次行い、第1透明導電膜に設けられた開口部よりも容量用絶縁膜に設けられた開口部の方が大きい口径を有する様にすることで、階段状の開口部を形成することもできる。

【0015】

【発明の実施の形態】本願発明を利用した液晶表示装置の実施の形態について図1を用いて説明する。図1に示すのは、マトリクス状に配置された複数の画素と各画素の各々に設けられた補助容量を示す断面図である。

【0016】図1において、101は絶縁表面を有する基板であり、その上には公知の手段により形成されたTFT102が形成されている。このTFT102を覆う様に平坦化膜（第1層間絶縁膜）103を形成した。平坦化膜103はあらゆる絶縁膜を利用することができるが、高い平坦性を実現するにはポリイミドやアクリル等の樹脂材料を用いることが好ましい。

【0017】平坦化膜103上には第1透明導電膜104及び容量用絶縁膜105とを順次積層形成した。第1透明導電膜104としては酸化スズやITO（酸化インジウムスズ）などを用いれば良い。この第1透明導電膜104は補助容量の下部電極として機能する。

【0018】また、容量用絶縁膜105としては酸化シリコン、窒化シリコン、酸化窒化シリコン、タンタルオキサイド、アルミニウムオキサイド（アルミナ）などの透明な絶縁膜を用いた。この容量用絶縁膜105は補助容量の誘電体として機能し、画素内の全域に形成することになるので透過率の高い絶縁膜が好ましい。

【0019】なお、本願発明では補助容量の面積を大きく確保できる上、誘電体の膜厚を薄くすることができる（後述する）ので、さほど比誘電率の高い絶縁膜を必要としない。従って、透過率を高めることを最優先させて最適な絶縁膜を選択することができるので明るい画像表示が可能であった。

【0020】第1透明導電膜104と容量用絶縁膜105とでなる積層構造には開口部106を形成した。これは後に画素電極とドレイン電極とを接続させるための接続部（ドレイン接続部と呼ぶ）である。

【0021】この時、第1透明導電膜104と容量用絶縁膜105との両方をエッチングすることのできるエッ

チングガスを用いてドライエッチングを行えば、図1に示す様に開口部106で露出した第1透明導電膜の端面及び容量用絶縁膜の端面はほぼ揃った状態となる。また、両方をエッチングすることのできるエッチャントを用いてウェットエッチングを行っても同様である。

【0022】また、容量用絶縁膜105の方がエッチングレートが速い様な条件でエッチングを行えば、第1透明導電膜に設けられた開口部よりも容量用絶縁膜に設けられた開口部の方が口径が大きくなり、階段状の開口部を形成することもできる。

【0023】そして、開口部106を覆う様にして比誘電率の低い絶縁膜107を形成して、この絶縁膜107をパターニングした。パターニング工程では補助容量の形成される部分及びドレイン接続部に形成された絶縁膜107のみを選択的に除去し、ドレイン接続部（開口部106）にコンタクトホールを形成すると共に容量用絶縁膜105を露出させた状態とした。

【0024】その上に第2透明導電膜でなる画素電極108を形成した。この画素電極108は画素内において容量用絶縁膜105と接し、第1透明導電膜／容量用絶縁膜／第2透明導電膜でなる補助容量109を形成できた。

【0025】また、画素電極108はTFT102のドレイン電極110と電気的に接続され、画素電極108に印加される電圧はTFT102で制御される。なお、図1では画素電極108がドレイン電極110と接続された構造を示しているが、画素電極108がTFT102の活性層と直接接続する様な構造でも良い。

【0026】また、図1に示す構造では液晶表示装置の対向基板側に設けられたブラックマスクでTFT102を完全に遮光する構成としている。これはTFT102の活性層に光が照射されることを防ぐためである。

【0027】以上の様な構成でなる本願発明の特徴は、容量用絶縁膜105（補助容量の誘電体）の膜厚を自由に調節することができる点にある。従来例で述べた構造ではカバレッジの問題から200nm以上の膜厚を必要としたが、本願発明の構造では10～200nm（好ましくは50～100nm）程度の厚さで形成することが可能であった。即ち、容量用絶縁膜105の膜厚を第1透明導電膜104の膜厚よりも薄くできた。

【0028】膜厚の下限を10nmとしたのは、これ以下では耐圧が弱く絶縁破壊を起こしやすくなるからである。また、これ以下では均一な膜厚を確保することが困難であることも理由に挙げられる。そういった理由を鑑みると、50～100nm程度の膜厚が好ましいと言える。

【0029】また、基本的に容量用絶縁膜105の膜厚に上限はないが、膜厚が厚すぎると大容量の確保が難しくなる上、スループットが低下するため、ある程度の膜厚に抑える必要がある。そういった意味で、本出願人は200nm（好ましくは100nm）を上限と考えている。

【0030】この様に、補助容量の誘電体の膜厚を自由に設定できるという点は非常に大きな利点である。一般的に知られる様に屈折率の異なる薄膜を積層形成する際に透過率が高くなる条件（反射防止条件）が存在する。この関係は屈折率を $n$ 、膜厚を $d$ 、透過光波長を $\lambda$ とすると、 $nd = \lambda/4$ で与えられる。

【0031】本願発明では補助容量の誘電体の材料および膜厚の選択幅が広いと、前述の式において $nd$ の項の調節が容易である。従って、反射防止条件と一致する様に各積層膜の膜厚を制御することで高い透過率を実現し、補助容量として機能しながらも明るい画像表示の可能な画素領域を形成できる。

【0032】また、本願発明の構成とした場合、開口部106において画素電極108と第1透明導電膜104との間に絶縁膜107が配置されているため、画素電極108と第1透明導電膜104の端面とが短絡する様なことがない。

【0033】以上の様な構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0034】

【実施例】〔実施例1〕本願発明の構成を有する半導体装置として、液晶表示装置を作製する場合の作製工程例について図3を用いて説明する。

【0035】まず、絶縁表面を有する基板として表面に酸化シリコンでなる下地膜を設けたガラス基板を準備した。勿論、ガラス基板以外に石英基板（下地はなくても良い）やセラミックスガラス基板を用いても良いし、熱酸化膜を形成したシリコンウェハであっても良い。

【0036】次に、公知の手段によってTFT102を完成させた。なお、本実施例では本出願人による特開平7-135318号公報記載の技術を利用した。同公報に記載された技術に従えば図3（A）に示す様な構造のTFT302を形成することが可能である。

【0037】次に、TFT302を覆う様にして平坦化膜303を形成した。本実施例では平坦化膜303としてアクリルを用いたが、他の樹脂材料を用いても良い。そして、平坦化膜303の上には第1透明導電膜304、容量用絶縁膜305を積層形成した。（図3（B））

【0038】第1透明導電膜304としてはスパッタ法によって形成した100nm厚のITO（酸化インジウムスズ）膜を用いた。本実施例ではターゲットとしてITOを用い、スパッタガスとしてアルゴンと酸素との混合ガスを用いて成膜圧力を $3 \times 10^{-3}$ torrに設定した。また、成膜は1.5 AのDC電流制御で行い、基板温度は室温とした。

【0039】本実施例の様に下地（平坦化膜）として樹脂材料を用いた場合、基板を加熱する必要のあるプロセスは樹脂材料からの脱ガスが問題となるので不適当であ

る。その点、スパッタ法は室温成膜が可能であるため好適な手段であった。

【0040】また、容量用絶縁膜305としてはスパッタ法によって形成した50nm厚の酸化シリコン膜を用いた。この時、第1透明導電膜304の膜厚よりも容量用絶縁膜305の膜厚を薄くできるのが本願発明の利点である。

【0041】本実施例ではターゲットとして $\text{SiO}_2$ を用い、スパッタガスとしてアルゴン(30sccm)と酸素(10sccm)との混合ガスを用いて成膜圧力を $3 \times 10^{-3}$ torrに設定した。また、成膜は2000WのRF電源制御で行い、基板温度は室温とした。

【0042】この場合、既に第1透明導電膜304が成膜されているので樹脂材料の脱ガスの問題はないが、基板温度が高いとITOでなる第1透明導電膜304の膜質が結晶状態となり、エッチングされにくくなるという問題が生じる。

【0043】本出願人の知見では、容量用絶縁膜305の基板温度が180℃以上になるとITO膜のエッチングが困難になるという結果が得られている。一方で、基板温度を下げすぎると酸化シリコンでなる容量用絶縁膜305の膜質が悪化する。即ち、耐圧が低くなるといった弊害を生じる。

【0044】実験の結果では、好ましくは180℃以下(好ましくは100~150℃)の温度範囲で成膜することが必要であることが判明しており、そのためにはスパッタ法が最も好ましい成膜方法であると言える。

【0045】勿論、前述の様な温度範囲で成膜可能であればCVD法で形成することも可能である。また、第1透明導電膜304と容量用絶縁膜305とをマルチチャンパー(クラスターツール)方式の成膜装置を用いて大気開放しないまま連続的に積層するとゴミによる補助容量の短絡などを防止することができる。

【0046】なお、本実施例では容量用絶縁膜305として酸化シリコン膜を利用したが、それ以外の透明絶縁膜を用いても良い。比誘電率が高ければ高いほど膜厚を厚くしても十分な容量を確保することができるため、短絡による不良の発生率をさらに低めることができた。勿論、前述の様に膜厚が厚すぎてもスルーボットが低下するため、200nmを上限とした方が良い。

【0047】こうして図3(B)の状態が得られたら、後にドレイン電極306と画素電極(図示せず)とを電気的に接続するコンタクトホールを形成する位置に開口部307を形成した。この開口部307の口径は後に形成するコンタクトホールの口径よりも十分に大きくしておくことが好ましい。こうすることで第1透明導電膜304と画素電極との短絡を防止することができる。(図3(C))

【0048】本実施例ではコンタクトホールの口径に3 $\mu\text{m}$ のマージンをみて開口部307を形成しておいた。

コンタクトホールの半径が $r\mu\text{m}$ であれば、開口部の半径は $r+3\mu\text{m}$ としておけば十分と言える。

【0049】この開口部307の形成では、同一のレジストマスクを用いて容量用絶縁膜305と第1透明導電膜304とを順次エッチングし、各々に同一形状の開口部を形成した。即ち、容量用絶縁膜305と第1透明導電膜とが同一形状となる様にパターニングを施した。

【0050】また、本実施例では容量用絶縁膜305(酸化シリコン膜)と第1透明導電膜(ITO膜)304のエッチングにバッファードフッ酸を用いた。酸化シリコン膜とITO膜とはバッファードフッ酸に対するエッチングレートがほぼ同一であるので、両者に設けられた開口部を同一形状とすることができた。

【0051】なお、この時、容量用絶縁膜の方がエッチングレートが速ければ階段状の開口部を形成することが可能であり、カバレッジの良好な開口部を形成できる。その様な条件はエッチャントの種類や容量用絶縁膜及び第1透明導電膜の膜質などによって調節することが可能である。勿論、パターニングを2回行って別々にエッチング工程を行っても良い。

【0052】次に、容量用絶縁膜305および開口部307を覆って比誘電率の低い層間絶縁膜(第2層間絶縁膜)308を形成した。層間絶縁膜308としては比誘電率が3.2のアクリルを用いたが、比誘電率が4.0以下(好ましくは3.5以下)の材料であれば良い。(図3(D))

【0053】層間絶縁膜308を形成したら、パターニングを行って後に補助容量が形成される部分に形成された層間絶縁膜308を除去した。補助容量が形成される部分は大体画像表示領域(画素)と一致する。

【0054】この状態では、前述の開口部307がパターン化された層間絶縁膜(好ましくは樹脂材料)309で覆われているため、画素電極と第1透明導電膜の端面との間で短絡が発生するのを防止することができた。

【0055】また、同時に開口部307が形成された領域には、画素電極(図示せず)とドレイン電極306とを接続するためのコンタクトホール310を形成した。

【0056】この工程では、まず層間絶縁膜308の所定の位置にレジストマスク(図示せず)を形成してエッチングを行い、パターン化された層間絶縁膜309を形成した。そして、そのレジストマスクをそのまま利用して平坦化膜303をエッチングすることにより形成した。この時、コンタクトホールの側壁にテーパが形成される様な条件とすると、画素電極の段切れを防ぐことができる。

【0057】そして、第2透明導電膜として120nm厚のITO膜を形成し、パターニングして画素電極311を形成した。この画素電極311が容量用絶縁膜305と接する部分では、二層の透明導電膜に挟まれた容量用絶縁膜によって補助容量312を形成することができた。

【0058】こうして補助容量312が形成された状態における画素の上面図を図5に示す。なお、図5をA-A'で切断した断面図が図4(B)に相当する。

【0059】図5において、501は半導体薄膜でなる活性層、502はゲイト配線であり、ゲイト配線502が活性層501と重なった部分を特にゲイト電極と呼ぶ。また、503はソース配線、504はドレイン電極である。

【0060】505は第2透明導電膜でなる画素電極であり、その下には第1透明導電膜(図示せず)と容量用絶縁膜(図示せず)が積層形成されている。図5の構造では太線で囲まれた領域506が第1透明導電膜/容量用絶縁膜/第2透明導電膜の三層構造をなす領域であり、補助容量として機能することになる。

【0061】以上の様な構成でなる本実施例の画素構造では、補助容量となる領域が画素内のほぼ全域を占め、実質的に画像表示領域と同一の面積を確保することができるという利点を有する。

【0062】また、特に本実施例の構造で特徴的な点は、第1透明導電膜と容量用絶縁膜とを積層形成することで、容量用絶縁膜の膜厚を10~200 nm(好ましくは50~100 nm)と薄くできる点にある。

【0063】従って、容量形成面積の占める割合が大きく、誘電体膜厚の薄い補助容量を形成できるため、比誘電率がさほど高くなくても十分な容量を確保することができる。この事は選択可能な材料の自由度が大きく広がることを意味している。

【0064】その結果、高透過率特性を優先させて材料を選択することもできるし、透明導電膜や容量用絶縁膜の膜厚を適切に組み合わせることで反射防止効果を出して高い透過率を実現することも可能である。その点、従来の構造では誘電体の材料や膜厚がある程度制限されるので、その様な自由度は小さい。

【0065】なお、図4(B)に示した状態は液晶表示装置のTFT形成側基板(アクティブマトリクス基板)がほぼ完成した状態である。実際には画素電極を覆う様にして配向膜を形成する工程がある。

【0066】また、対向電極と配向膜とを備えた対向基板を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入すれば図6に示す様な構造のアクティブマトリクス型液晶表示装置が完成する。液晶材料を封入する工程は、公知のセル組工程を用いれば良いので詳細な説明は省略する。

【0067】なお、図6において601は絶縁表面を有する基板、602は画素マトリクス回路、603はソースドライバ回路、604はゲイトドライバ回路、605は対向基板、606はFPC(フレキシブルプリントサーキット)、607及び608は外付けされたICチップである。

【0068】ICチップ607、608は必要に応じて

取り付ければ良く、場合によってはICチップの代わりに同等の機能を有する回路をソースドライバ回路やゲイトドライバ回路などとして形成してしまっても構わない。即ち、D/Aコンバータや補正回路などの信号処理回路をTFTでもって構成しても良い。

【0069】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミックス)表示装置に本願発明を適用することも可能であることは言うまでもない。

【0070】〔実施例2〕本実施例では図1に示した構造において、絶縁膜107を遮光性を有する樹脂材料(代表的には黒色樹脂材料)とし、その部分をブラックマスクとして活用した。本実施例の構造を図7に示す。なお、本実施例の構成は、実施例1において絶縁膜107の材料を変えただけであり、実施例1と組み合わせることは容易である。

【0071】図7に示す構造は図1に示す構造と基本的には同一であるが、黒色樹脂材料701で層間絶縁膜が形成されている点で相違する。黒色樹脂材料701としては、黒色顔料、金属(チタン、クロムなど)材料またはカーボン系材料(グラファイトなど)を分散させた樹脂材料を用いることができるが、ブラックマスクとして活用するには、OD値が3以上であることが望ましい。本実施例ではグラファイトを分散させた樹脂材料(OD値が3)を利用した。

【0072】なお、OD値とは薄膜の遮光性を表す指標であり、 $OD = -\log_{10} T$ (Tは透過率で透過率0.1%の場合は $T=0.001$ を代入する)で表される。即ち、OD値の絶対値が高いほど透過率が高いことを意味する。

【0073】この様に、黒色樹脂材料を利用することで、TFT、ソース配線及びゲイト配線を黒色の層間絶縁膜で覆うことが可能となり、そのままブラックマスクとして活用できた。即ち、本実施例の技術を利用すれば工程を簡略化できる。

【0074】ただし、黒色樹脂材料は層間絶縁膜としても機能するため可能な限り高抵抗な材料を選択する必要がある。ところが大抵の黒色樹脂材料は導電性物質を分散させて得るため、抵抗値が低くなってしまうという問題がある。

【0075】特に、OD値(Optical Density)を上げるために分散物質を多く含ませるので、抵抗値の低さが問題となる。そこで本実施例では、図7に示す様にソース配線702の上方の黒色樹脂材料701に開口部703を形成し、隣接する画素電極間を完全に絶縁分離させた。これにより隣接する画素電極間にクロストークが発生するのを防止できた。

【0076】この開口部703は画素電極704をマスクとして層間絶縁膜701をエッチングすることで容易に形成できた。エッチングは酸素プラズマによるドライ



エッチングで行った。この様な構成では、開口部703が遮光性を有するソース配線702の上に位置するため、開口部703から光が差し込んだとしても半導体層（活性層）に到達することはなかった。

【0077】〔実施例3〕本実施例では図8に示す様に、層間絶縁膜として透明樹脂材料801と黒色樹脂材料802との積層構造を採用した。なお、本実施例の構成は、実施例1において絶縁膜308を積層構造とする点で異なるだけであり、実施例1と組み合わせることは容易である。

【0078】本実施例では透明樹脂材料801としてアクリルを用い、黒色樹脂材料802としてチタンを分散させたアクリルを用いた。

【0079】本実施例ではチタン含有量の多い樹脂材料を用いたため、黒色樹脂材料自体のシート抵抗値は  $1 \times 10^5 \Omega/\square$  と低い、チタン含有量が多い分、より高い遮光性を実現することが可能であった。

【0080】即ち、遮光性を優先させるには抵抗値の低い黒色樹脂材料を用いる必要があるため、絶縁性を確保するためにシート抵抗値が  $1 \times 10^{11} \Omega/\square$  程度と高い透明樹脂材料を積層して用いる点に特徴がある。

【0081】本実施例の構造においても、図7の構造と同様に画素電極をマスクとして黒色樹脂材料802及び透明樹脂材料801を除去して開口部804を形成しておくことが望ましい。この時、透明樹脂材料801のみを残すことも可能である。勿論、開口部804では遮光性が損なわれるので、開口部804がソース配線805上に位置する様に設計しておくことが望ましい。

【0082】〔実施例4〕本実施例では、図1に示した構造において補助容量109の下部電極として機能する第1透明導電膜104を、コモン電位（接地電位）に固定するための構造について図9を用いて説明する。

【0083】図9に示す構造は液晶表示装置の画像表示領域（パネル部分）の外側に設けられた接地用パッドを拡大した図である。第1透明導電膜901と容量用絶縁膜902とは開口部903を有している。この開口部903は、実施例1に示した図3（C）の工程と同時に形成した。

【0084】本実施例の構造では、開口部903を形成する際に容量用絶縁膜902の端面を第1透明導電膜901の端面よりも後退させて、図9に示す様に階段状の開口部を形成することが重要である。

【0085】そして、904は樹脂材料からなる層間絶縁膜であり、その上にコモンコンタクト用のパッドとして用いられるパッド電極905を第2透明導電膜をもって形成した。このパッド電極905は実施例1に示した図4（B）の工程と同時に形成した。

【0086】本実施例の構造では、第1透明導電膜901とパッド電極905とが接触面906で接することによって同電位となる。そして、パッド電極905が接地

されることで第1透明導電膜901が接地電位に固定される。

【0087】また、このコモンコンタクト用パッドは、対向電極を接地電位に固定するためのパッドとして機能させる。パッド電極905上に導電性粒子を混ぜたペースト材料を形成し、その状態でアクティブマトリクス基板と対向基板とを張り合わせることで対向基板に設けられた対向電極とパッド電極との導通をとり、両電極を接地電位に固定することができる。

【0088】この様に、パッド電極905として画素電極と同一層に形成された透明導電膜を利用すると、大幅に工程を簡略化できるので有効である。

【0089】なお、本実施例の構造は実施例1～実施例3の全ての実施例との組み合わせが可能である。

【0090】〔実施例5〕本実施例では、TFTのドレイン電極上において平坦化膜を除去する工程を加えた場合の例について図10を用いて説明する。

【0091】まず、実施例1の工程に従って図3（C）の状態を得た。そして、この図3（C）の状態では酸素プラズマによるドライエッチングを行った。このエッチングによってパターン形成された容量用絶縁膜305をマスクとして、樹脂材料でなる平坦化膜303の一部が除去される。この状態を図10（A）に示す。

【0092】図10（A）はドライエッチング法によって落とし込み部11を形成した後に、樹脂材料（本実施例ではポリイミド）でなる層間絶縁膜12を形成した状態である。なお、落とし込み部11の開口幅は、図3（C）に示した開口部307の開口幅とほぼ同一である。

【0093】そして、層間絶縁膜12をパターニングしてパターン化された層間絶縁膜13を形成すると同時に画素電極とTFTとを接続するためのコンタクトホール14を形成した。（図10（B））

【0094】こうしてコンタクトホール14を形成したら、第2透明導電膜を形成してパターニングを行い、TFTに接続する画素電極15を形成した。また、この時、補助容量16も同時に形成された。

【0095】本実施例の構造とした場合、コンタクトホール14が同一材料のエッチングのみで形成できる点に利点がある。

【0096】例えば、実施例1の構造で平坦化膜303としてアクリルを用い、層間絶縁膜308としてポリイミドを用いる組み合わせを採用した場合を想定する。この場合、アクリルの方が若干エッチングレートが速いので、第1透明導電膜304の下にえぐれを生じる可能性があり、画素電極のカバレッジ不良、即ち断線不良を招く危険性があった。

【0097】その点、本実施例の構造ならばコンタクトホールが完全に同一材料内で形成されるので、エッチングレートの差によるコンタクトホールの形状異常はな



(8)

く、えぐれなどによる画素電極の断線不良を防止することが可能であった。

【0098】なお、本実施例の構成は実施例1～4に示したどの実施例との組み合わせも可能である。どの構成と組み合わせてもコンタクトホール形状による画素電極の断線不良を防止するという効果は同様である。

【0099】〔実施例6〕実施例1～5の構成を有する本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図11に示す。

【0100】図11（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を表示装置2004等に適用することができる。

【0101】図11（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102に適用することができる。

【0102】図11（C）はモバイルコンピュータ（モータールコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0103】図11（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0104】図11（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター240

5、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0105】図11（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0106】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0107】

【発明の効果】本願発明を実施することで、透明導電膜で挟持された容量用絶縁膜の膜厚を自由に設定できる様になったため、画素内の光透過率を損ねることなく、画素全域を補助容量として利用することが可能となった。

【0108】そのため、画素面積の小さい高精細なアクティブマトリクス型表示装置を形成する場合に、十分な補助容量を確保することが可能となった。また、画素内全域を補助容量としても光透過率が十分に高いので、明るい画像表示が可能であった。即ち、高精細で高品質の電気光学装置及びその様な電気光学装置を搭載した電子機器を実現することができた。

【図面の簡単な説明】

【図1】 画素及び補助容量の断面構造を示す図。

【図2】 従来の画素及び補助容量の断面構造を示す図。

【図3】 画素構造の作製工程を示す図。

【図4】 画素構造の作製工程を示す図。

【図5】 画素構造の上面図を示す図。

【図6】 アクティブマトリクス型液晶表示装置の外観を示す図。

【図7】 画素及び補助容量の断面構造を示す図。

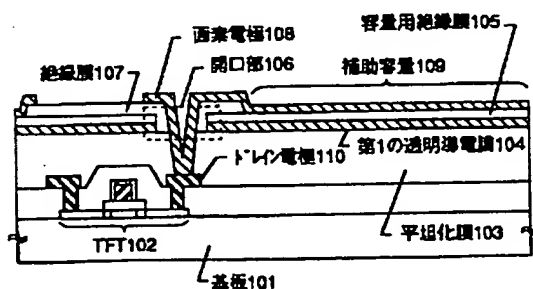
【図8】 画素及び補助容量の断面構造を示す図。

【図9】 コモンコンタクト部の断面構造を示す図。

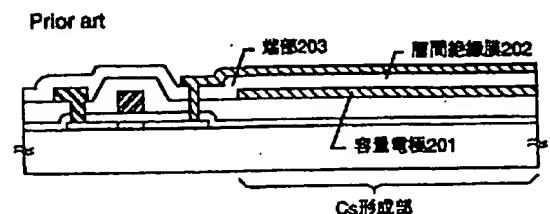
【図10】 画素構造の作製工程を示す図。

【図11】 電子機器の一例を示す図。

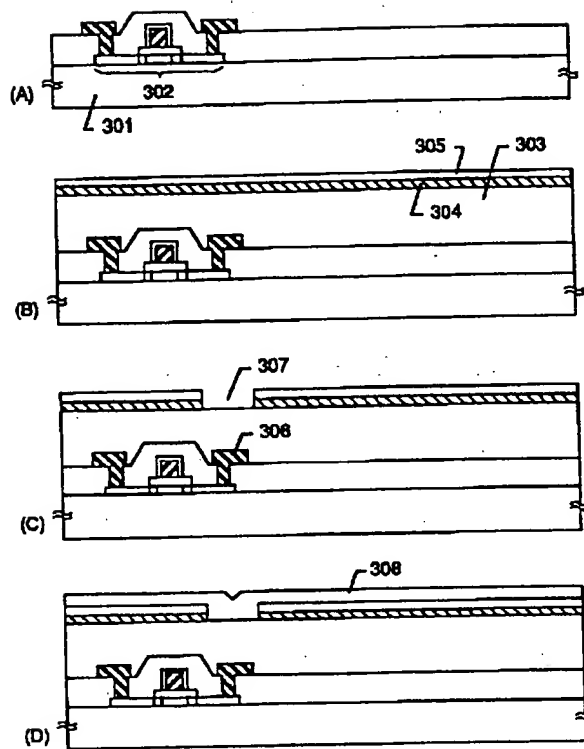
【図1】



【図2】

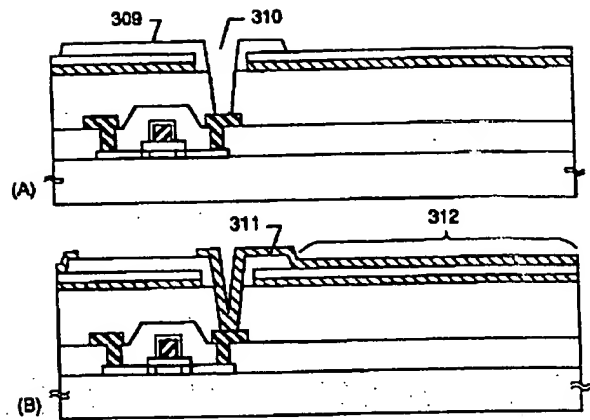


【図3】



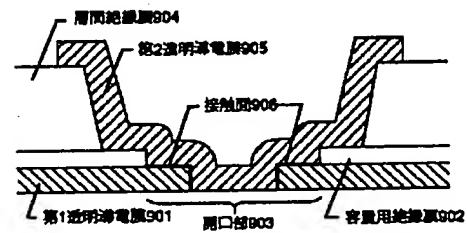
301:基板 302:TFT 303:平坦化膜  
304:第1透明導電膜 305:容量用絶縁膜  
306:ドレイン電極 307:開口部 308:層間絶縁膜

【図4】

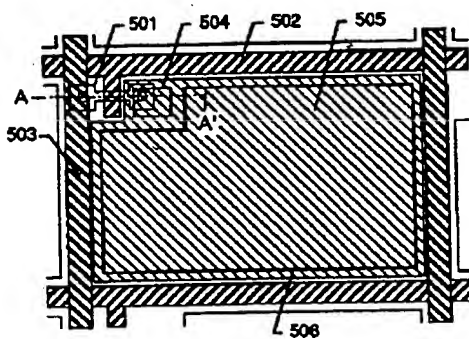


309:パターニング後の層間絶縁膜 310:エタクト  
311:画素電極 312:補助容量

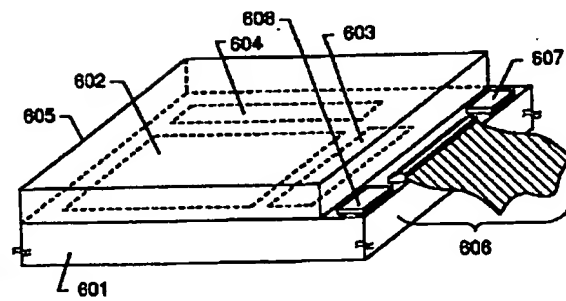
【図9】



【図5】

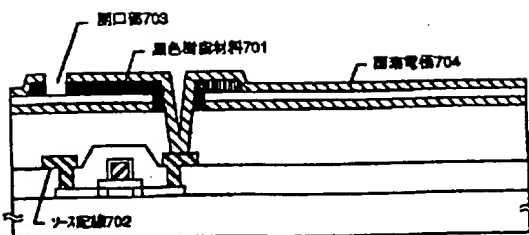


【図6】

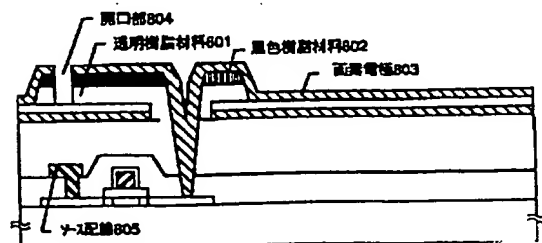


601:絶縁表面を有する基板 602:画素マトリクス回路  
603:ソースライン回路 604:ゲイトライン回路 605:対向基板  
606:FPC 607、608:ICチップ

【図7】

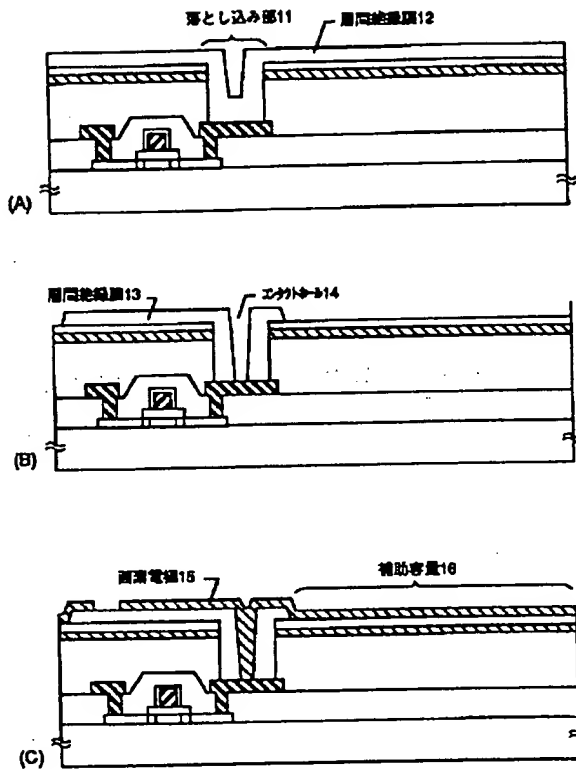


【図8】

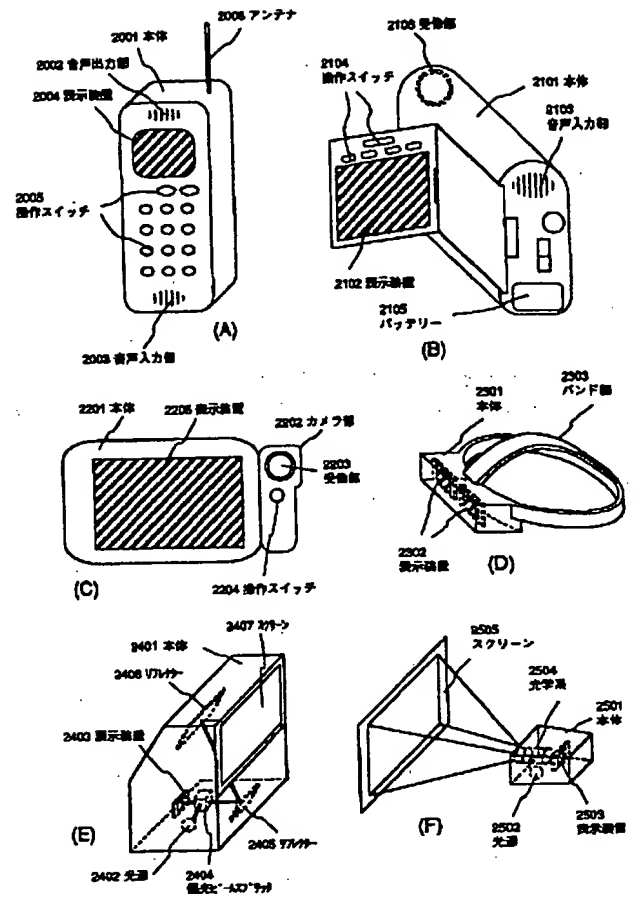


(10)

【図10】



【図11】



BEST AVAILABLE COPY

**Publication of Unexamined Patent Application (Kokai  
Publication) No. 11-311805**

Date of Publication: November 9, 1999

Date of Filing: April 28, 1998

Application No.: 119055/1998

Inventor: Hisashi OTANI

Inventor: Misako NAKAZAWA

Applicant: Semiconductor Energy Lab Co., Ltd.

Title of the Invention: SEMICONDUCTOR DEVICE AND  
FABRICATION METHOD THEREOF

What is claimed is:

1. A semiconductor device comprising a plurality of pixels arranged in a matrix shape and auxiliary capacitors provided for each of the plurality of pixels, wherein the  
5 auxiliary capacitors have a structure in which a first transparent conductive film, an insulating film for a capacitor and a second transparent conductive film are stacked in order, and the first transparent conductive film and the insulating film have the same pattern shape.

10 [0034]

[Embodiments]

[Embodiment 1]

An example of a fabrication process in a case where a liquid crystal display device is fabricated is  
15 explained with reference to Fig. 3, as a semiconductor device having the constitution according to the present invention.

[0035]

First, a glass substrate of which surface is  
20 provided with an undercoat film made of silicon oxide was prepared as a substrate having an insulating film. It is a matter of course that a quartz substrate (an undercoat film may be omitted), a ceramics glass substrate and a silicon wafer formed with a thermally oxidized film may also be  
25 used in addition to the glass substrate.

[0036]

Next, a TFT 102 was completed by a known means. In the present embodiment, a technique described in Japanese Patent Kokai Publication No. 7-135318 by the present applicant was used. According to the technique described in the publication, it is possible to fabricate a TFT having a structure as shown, for example, in Fig. 3(A).

[0037]

Then, a planarizing film 303 was formed in a manner so as to cover the TFT 302. Although an acrylic was used as the planarizing film 303 in the present embodiment, another resin material may be used. After that, a first transparent conductive film 304 and an insulating film 305 for a capacitor are laid on the planarizing film 303 (Fig. 3(B)).

[0038]

As the first transparent conductive film 304, a 100-nm thick ITO (indium tin oxide) film formed by a sputter method was used. In the present embodiment, ITO was used as a target, while a film formation pressure was set to  $3 \times 10^{-3}$  torr using a mixed gas of argon and oxygen. Film formation was performed under the control of 1.5-A DC current, and the temperature of the substrate was set to room temperature.

25 [0039]



As in the present embodiment, in a case where a resin material was used as an undercoat (a planarizing film), a process requiring that the substrate be heated becomes a problem in that the resin material was degassed, which is not suitable. The sputter method enables film formation at room temperature, which was a favorable means in that respect.

[0040]

As the insulating film 305, a 50-nm thick silicon oxide formed by the sputter method was used. At this time, the film thickness of the insulating film 305 can be made thinner than that of the first transparent conductive film 304, which is the advantage of the present invention.

[0041]

In the present embodiment,  $\text{SiO}_2$  was used as a target, while a film formation pressure was set to  $3 \times 10^{-3}$  torr using a mixed gas of argon (30sccm) and oxygen (10sccm). Further, the film formation was performed under the control of 2000-W RF power supply, and the temperature of the substrate was set to room temperature.

[0042]

In this case, since the first transparent conductive film 304 was already formed, there are no problems involved in degassing of the resin material. However, if the temperature of the substrate is high, the

film quality of the first transparent conductive film 304, which is made of ITO, becomes a crystalline state, thus causing a problem in that the substrate is hardly capable of being etched.

5 [0043]

The finding that the present inventors have obtained is that, when the temperature of the substrate reaches 180°C or higher, etching the ITO film becomes difficult. On the other hand, when the temperature of the  
10 substrate is lowered excessively, the film quality of the insulating film 305 deteriorates. That is, a harmful influence such as lowering of the dielectric strength arises.

[0044]

15 Experimental results reveal that the film formation requires to be performed preferably at a temperature of not higher than 180°C (preferably in the range between 100°C and 150°C). In order to achieve this condition, the sputter method is judged to be the most  
20 favorable film formation method.

[0045]

It is a matter of course that a CVD method is also applicable if the film formation can be achieved in the temperature range as described above. Further, if the  
25 first transparent conductive film 304 and the insulating

film 305 are consecutively laminated using a film formation  
apparatus of multi-chamber system without being exposed to  
the atmospheric air, it is possible to prevent the  
auxiliary capacitor from short circuiting due to dust and  
5 so on.

[0046]

Although a silicon oxide film was used as the  
insulating film 305, a transparent insulating film other  
than the silicon oxide film may also be used in the present  
10 embodiment. As the relative dielectric constant increases,  
a sufficient capacitance can be secured even if the film  
thickness is increased. This made it possible to achieve a  
further decrease in the generation rate of the failure due  
to a short circuit. Needless to say, if the film thickness  
15 is too large as described above, through-put performance  
deteriorates. Thus, it is better to set its upper limit to  
200 nm.

[0047]

After a state shown in Fig. 3(B) was obtained, an  
20 opening 307 was formed at a position where a contact hole  
providing an electrical connection between a drain  
electrode 306 and a pixel electrode (not shown) was to be  
formed. The opening 307 is desirably adjusted to have an  
aperture sufficiently larger than that of the contact hole,  
25 which is formed later. This makes it possible to prevent a

short circuit between the first transparent conductive film 304 and the pixel electrode (Fig. 3(C)).

[0048]

In the present embodiment, a 3- $\mu\text{m}$  margin was  
5 allowed for the aperture of the contact hole to form the opening 307. If the radius of the contact hole is  $r \mu\text{m}$ , it suffices to make the radius of the aperture  $r+3 \mu\text{m}$ .

[0049]

In the formation of this opening 307, using the  
10 same resist mask, the insulating film 305 and the first transparent conductive film 304 were etched so that the same-shaped openings were individually formed. That is, patterning was performed so that the insulating film 305 and the first transparent conductive film 304 had the same  
15 shape.

[0050]

Further, buffered hydrofluoric acid was used for etching the insulating film (silicon oxide film) 305 and the first transparent conductive film (ITO film) 304.  
20 Since a silicon oxide film and an ITO film almost have the same etching ratio as to buffered hydrofluoric acid, it was possible to make the openings provided in both of the films the same shape.

[0051]

25 At this time, if the etching rate of the

insulating film is higher, a step-shaped opening can be formed, thus making it possible to form an opening with a good coverage. The above-mentioned conditions can be adjusted depending on the type of etchant, the qualities of the insulating film and the first transparent conductive film and so on. Needless to say, patterning may be performed twice so that these films are separately subjected to an etching process.

[0052]

10               Next, an interlayer insulation layer 308 having a low relative dielectric constant (a second interlayer insulation layer) was formed to cover the insulating film 305 and the opening 307. Although an acrylic having a relative dielectric constant of 3.2 was used as the interlayer insulation layer 308, any material may be applicable as long as it has a relative dielectric constant of not more than 4.0 (preferably not more than 3.5) (Fig. 3(D)).

[0053]

20               After forming the interlayer insulation layer 308, patterning was performed so as to remove a part of the interlayer insulation layer 308. This part corresponded to a region where an auxiliary capacitor was to be formed afterward. The region where the auxiliary capacitor was to be formed roughly corresponds to an image display area

25

(pixel).

[0054]

In this state, since the opening 307 was covered with the interlayer insulation layer (preferably resin material) 309, it was possible to prevent the occurrence of a short circuit between the pixel electrode and an end face of the first transparent conductive film.

[0055]

At the same time, a contact hole 310 for providing a connection between the pixel electrode (not shown) and the drain electrode 306 was formed at a region where the opening 307 was formed.

[0056]

In this process, a resist mask (not shown) was formed at a predetermined position of the interlayer insulation film 308, followed by etching to give a patterned interlayer insulation layer 309. Then, using the resist mask as such, the planarizing film 303 was etched to form the contact hole. At this time, if the etching condition is set so that a side wall of the contact hole is tapered, it is possible to prevent the pixel electrode from being benched.

[0057]

Afterward, a 120-nm thick ITO film was formed as a second transparent conductive film, which was then



patterned to form a pixel electrode 311. In a part in which the pixel electrode 311 is in contact with the insulating film 305, it was possible to form an auxiliary capacitor 312 by the insulating film sandwiched by the two  
5 transparent conductive films.

[0058]

A top plan view of the pixel in a state where the auxiliary capacitor 312 was formed is shown in Fig. 5. Incidentally, a cross sectional view taken generally on  
10 line A-A' of Fig. 5 corresponds to Fig. 4(B).

[0059]

In Fig. 5, the reference numeral 501 indicates an active layer made of a semiconductor thin film, the reference numeral 502 indicates a gate wiring, and a  
15 portion where the gate wiring 502 and the active layer 501 overlap is particularly referred to as a gate electrode. Further, the reference numeral 503 indicates a source wiring, and the reference numeral 504 indicates a drain electrode.

20 [0060]

The reference numeral 505 indicates a pixel electrode made of a second transparent conductive film, under which the first transparent conductive film (not shown) and the insulating film (not shown) are laminated.  
25 In the structure shown in Fig. 5, a region 506 surrounded

by a bold line constructs a three-layer structure made of the first transparent conductive film/the insulating film /the second transparent conductive film, which is to function as an auxiliary capacitor.

5 [0061]

In the pixel structure having the above constitution according to the present embodiment, a region that is to serve as the auxiliary capacitor substantially occupies the whole region within the pixel. Therefore, it  
10 has the advantage that the substantially same area as that of the image display area can be secured.

[0062]

A particularly characteristic point in the structure of the above embodiment resides in the fact that  
15 the first transparent conductive film and the insulating film are laminated, whereby the film thickness of the insulating film can be made as thin as 10 - 200 nm (preferably 50 - 100 nm).

[0063]

20 Thus, an auxiliary capacitor wherein the ratio of the capacitor forming area is high and wherein the film thickness of the dielectric is small can be formed. Accordingly, even if the relative dielectric constant is not so high, a sufficient capacitance can be secured. This  
25 means that a degree of freedom of a selectable material is

largely expanded.

[0064]

As a result, it is possible to preferentially select a material having a high transmittance characteristic. Alternatively, the film thicknesses of the transparent conductive film and the insulating film are appropriately combined so as to exert an anti-reflection effect, whereby a high transmittance can be realized. On the other hand, the material and film thickness of the dielectric are limited to some extent in the conventional structure, and thus degrees of freedom of them are low.

[0065]

The state shown in Fig. 4(B) is a state where a TFT-formed side substrate (active matrix substrate) of a liquid crystal display device has almost been completed. Actually, there is a process of forming an orientation film in a manner so as to cover the pixel electrode.

[0066]

Further, preparing an opposing substrate fitted with an opposing electrode and an orientation film, and sealing a liquid crystal material between the active matrix substrate and the opposing substrate, an active matrix-type liquid crystal display device having a structure as shown in Fig. 6 is completed. As to a process of sealing a liquid crystal material, all that is required is to use a

known cell assembling process, and thus the detailed explanation is omitted.

[0067]

In Fig. 6, the reference numeral 601 indicates a  
5 substrate having an insulating surface, the reference  
numeral 602 indicates a pixel matrix circuit, the reference  
numeral 603 indicates a source driver circuit, the  
reference numeral 604 indicates a gate driver circuit, the  
reference numeral 605 indicates an opposing substrate, and  
10 the reference numerals 607 and 608 are externally fitted IC  
chips.

[0068]

The IC chips 607, 608 are optionally fitted. A  
circuit having the equivalent functions may optionally be  
15 formed integrally with a source driver circuit, a gate  
driver circuit and the like, instead of the IC chips. That  
is, a signal processing circuit such as a D/A converter and  
a  $\gamma$ -correction circuit may be constituted of a TFT.

[0069]

20 Furthermore, although the present embodiment is  
described taking a liquid crystal display device as an  
example, it goes without saying that the present invention  
can be applied to an EL (electroluminescence) display  
device and an EC (electrochromics) display device as long  
25 as the device is an active matrix-type display device.